

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: **Kengo INOUE et al.**

Serial Number: **Not Yet Assigned**

Filed: **November 26, 2003**

Customer No.: **38834**

For: **MANUFACTURE OF SEMICONDUCTOR DEVICE HAVING STI AND SEMICONDUCTOR DEVICE MANUFACTURED**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

November 26, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2002-348641, filed on November 29, 2002.**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copies.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,  
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



Stephen G. Adrian  
Reg. No. 32,878

Atty. Docket No.: 032136  
Suite 700  
1250 Connecticut Avenue, N.W.  
Washington, D.C. 20036  
Tel: (202) 822-1100  
Fax: (202) 822-1111  
SGA/yap

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月29日  
Date of Application:

出願番号 特願2002-348641  
Application Number:

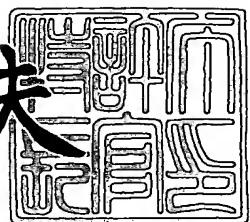
[ST. 10/C] : [JP 2002-348641]

出願人 富士通株式会社  
Applicant(s):

2003年8月6日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 0241625

【提出日】 平成14年11月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/94

【発明の名称】 半導体装置の製造方法

【請求項の数】 8

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 井上 健剛

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 森 年史

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100091340

【弁理士】

【氏名又は名称】 高橋 敬四郎

【電話番号】 03-3832-8095

【選任した代理人】

【識別番号】 100105887

【弁理士】

【氏名又は名称】 来山 幹雄

【電話番号】 03-3832-8095

## 【手数料の表示】

【予納台帳番号】 009852

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705794

【包括委任状番号】 0109607

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 (a) シリコン基板表面上に酸化シリコン層、塗化シリコン層を含む研磨用ストッパ層を形成する工程と、  
(b) マスクを用いて前記ストッパ層およびシリコン基板をエッチングし、トレンチを形成する工程と、  
(c) 前記トレンチ内に露出したシリコン基板表面に酸化シリコン層の第1ライナ絶縁層を形成する工程と、  
(d) 前記第1ライナ絶縁層上に厚さ20nm以上の塗化シリコン層の第2ライナ絶縁層を形成する工程と、  
(e) 前記第2ライナ絶縁層の画定する凹部を埋め込んで、プラズマCVDを用いて酸化シリコン層の素子分離層を堆積する工程と、  
(f) 前記ストッパ層を研磨用ストッパとし、前記素子分離層の不要部を研磨して除去する工程と、  
(g) 前記ストッパ層をエッチングする工程と、  
を含む半導体装置の製造方法。

【請求項 2】 前記工程 (e) が、

(e 1) 前記第2ライナ絶縁層上に第1のバイアスのプラズマCVDにより酸化シリコン層の第3ライナ絶縁層を堆積する工程と、  
(e 2) 前記第3ライナ絶縁層の画定する凹部を埋め込んで、前記第1のバイアスより高い第2のバイアスのプラズマCVDを用いて酸化シリコン層の素子分離層を堆積する工程と、  
を含む、請求項1記載の半導体装置の製造方法。

【請求項 3】 (a) シリコン基板表面上に酸化シリコン層、塗化シリコン層を含む研磨用ストッパ層を形成する工程と、

(b) マスクを用いて前記ストッパ層およびシリコン基板をエッチングし、トレンチを形成する工程と、  
(c) 前記トレンチ内に露出したシリコン基板表面に酸化シリコン層の第1ラ

イナ絶縁層を形成する工程と、

(d) 前記第1ライナ絶縁層上に塗化シリコン層の第2ライナ絶縁層を形成する工程と、

(e 1) 前記第2ライナ絶縁層上に第1のバイアスのプラズマCVDにより酸化シリコン層の第3ライナ絶縁層を堆積する工程と、

(e 2) 前記第3ライナ絶縁層の画定する凹部を埋め込んで、前記第1のバイアスより高い第2のバイアスのプラズマCVDを用いて酸化シリコン層の素子分離層を堆積する工程と、

(f) 前記ストップ層を研磨用ストップとし、前記素子分離層の不要部を研磨して除去する工程と、

(g) 前記ストップ層をエッチングする工程と、  
を含む半導体装置の製造方法。

**【請求項4】** 前記工程 (e 1) が、無バイアスのプラズマCVDである請求項2又は3記載の半導体装置の製造方法。

**【請求項5】** 前記工程 (e 1) が、400°C～450°Cでプレヒートを行う工程と、引き続いて酸化シリコン層を形成する工程とを含む請求項2～4のいずれか1項記載の半導体装置の製造方法。

**【請求項6】** 前記工程 (d) の後、1000°C～1150°Cでアニールを行う工程を含む請求項1～5のいずれか1項記載の半導体装置の製造方法。

**【請求項7】** 前記第2ライナ層が、1.2GPa以上の引っ張り応力を有する請求項1～6のいずれか1項記載の半導体装置の製造方法。

**【請求項8】** 前記第2ライナ絶縁層が8nm以下の厚さを有する請求項3記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特にシャロートレンチアイソレーション (STI) を有する半導体装置の製造方法に関する。

##### 【0002】

**【従来の技術】**

半導体装置における素子分離方法の1つとして、局所酸化（local oxidation of silicon、LOCOS）が用いられていた。

**【0003】**

局所酸化は、シリコン基板上にバッファ層として酸化シリコン層を形成した後、塗化シリコン層を酸化防止マスク層として形成し、塗化シリコン層をパターニングした後シリコン基板の表面を熱酸化する技術である。

**【0004】**

シリコン基板を熱酸化する際、酸素、水分等の酸化種がバッファ酸化シリコン層中にも侵入し、塗化シリコン層下のシリコン基板表面も酸化させ、バーズピークと呼ばれる鳥の嘴状の酸化シリコン領域を形成する。バーズピークの形成された領域は、実質的に素子形成領域（活性領域）として使用できなくなるため、素子形成領域が狭くなる。

**【0005】**

又、種々の寸法の開口を有する塗化シリコン層を形成し、基板表面を熱酸化すると、開口部寸法の狭いシリコン基板表面に形成される酸化シリコン層の厚さは開口部寸法の広いシリコン基板表面に形成される酸化シリコン層の厚さよりも小さくなる。これをシニング（thinning）と呼ぶ。

**【0006】**

半導体装置の微細化に伴い、バーズピークやシニングにより、半導体基板の全面積中で素子形成領域として使用できない面積の割合が増加する。すなわち、素子形成領域が狭められる割合が増加し、半導体装置の高集積化の妨げとなる。

**【0007】**

素子分離領域を形成する技術として、半導体基板表面にトレンチを形成し、トレンチ内に絶縁物や多結晶シリコンを埋め込むトレンチアイソレーション（T I）技術が知られている。この方法は、従来、深い素子分離領域を必要とするバイポーラトランジスタLSIに用いられていた。

**【0008】**

バーズピーク、シニングが共に生じないため、トレンチアイソレーションのM

OSトランジスタLSIへの適用が進んでいる。MOSトランジスタLSIでは、バイポーラトランジスタLSI程深い素子分離は必要としないため、深さ0.1~1.0μm程度の比較的浅い溝で素子分離を行うことができる。この構造をシャロートレンチアイソレーション(STI)と呼ぶ。

### 【0009】

STIの作成方法として、トレンチを作成した後、酸化シリコン層、窒化シリコン層のライナ層を積層し、その上に埋め込み酸化シリコン層を形成することが提案されている。

### 【0010】

#### 【特許文献1】

特開平11-297811号公報

#### 【特許文献2】

特開平2000-31261号公報

#### 【特許文献3】

米国特許第5、447、884号公報

#### 【特許文献4】

特開平10-56058号公報

### 【0011】

#### 【発明が解決しようとする課題】

STIによる素子分離は、微細化に適しているが、STI独自の問題も生じる。STI独自の問題を低減することのできる新たな技術が求められている。

### 【0012】

本発明の目的は、埋め込み特性のよいSTIを有する半導体装置の製造方法を提供することである。

本発明の他の目的は、埋め込み特性よく、剥がれを生じることの少ないSTIを有する半導体装置の製造方法を提供することである。

### 【0013】

#### 【課題を解決するための手段】

本発明の一観点によれば、a) シリコン基板表面上に酸化シリコン層、窒化シ

リコン層を含む研磨用ストップ層を形成する工程と、

(b) マスクを用いて前記ストップ層およびシリコン基板をエッティングし、トレンチを形成する工程と、

(c) 前記トレンチ内に露出したシリコン基板表面に酸化シリコン層の第1ライナ絶縁層を形成する工程と、

(d) 前記第1ライナ絶縁層上に厚さ20nm以上の塗化シリコン層の第2ライナ絶縁層を形成する工程と、(e) 前記第2ライナ絶縁層の画定する凹部を埋め込んで、高密度プラズマCVDを用いて酸化シリコン層の素子分離層を堆積する工程と、(f) 前記ストップ層を研磨用ストップとし、前記素子分離層の不要部を研磨して除去する工程と、(g) 前記ストップ層をエッティングする工程と、を含む半導体装置の製造方法が提供される。

#### 【0014】

本発明の他の観点によれば、(a) シリコン基板表面上に酸化シリコン層、塗化シリコン層を含む研磨用ストップ層を形成する工程と、(b) マスクを用いて前記ストップ層およびシリコン基板をエッティングし、トレンチを形成する工程と、(c) 前記トレンチ内に露出したシリコン基板表面に酸化シリコン層の第1ライナ絶縁層を形成する工程と、(d) 前記第1ライナ絶縁層上に厚さ8nm以下の塗化シリコン層の第2ライナ絶縁層を形成する工程と、(e1) 前記第2ライナ絶縁層上に第1のバイアスのプラズマCVDにより酸化シリコン層の第3ライナ絶縁層を堆積する工程と、(e2) 前記第3ライナ絶縁層の画定する凹部を埋め込んで、前記第1のバイアスより高い第2のバイアスの高密度プラズマCVDを用いて酸化シリコン層の素子分離層を堆積する工程と、(f) 前記ストップ層を研磨用ストップとし、前記素子分離層の不要部を研磨して除去する工程と、(g) 前記ストップ層をエッティングする工程と、を含む半導体装置の製造方法が提供される。

#### 【0015】

本発明のさらに他の観点によれば、(a) シリコン基板表面上に酸化シリコン層、塗化シリコン層を含む研磨用ストップ層を形成する工程と、

(b) マスクを用いて前記ストップ層およびシリコン基板をエッティングし、ト

レンチを形成する工程と、(c) 前記トレンチ内に露出したシリコン基板表面に酸化シリコン層の第1ライナ絶縁層と窒化シリコン層の第2ライナ絶縁層を形成する工程と、(d) 前記第2ライナ絶縁層上に第1のバイアスのプラズマCVDにより酸化シリコン層の第3ライナ絶縁層を堆積する工程と、(e) 前記第3ライナ絶縁層の画定する凹部を埋め込んで、前記第1のバイアスより高い第2のバイアスの高密度プラズマCVDを用いて酸化シリコン層の素子分離層を堆積する工程と、(f) 前記ストップ層を研磨用ストップとし、前記素子分離層の不要部を研磨して除去する工程と、(g) 前記ストップ層をエッチングする工程と、を含む半導体装置の製造方法が提供される。

### 【0016】

#### 【発明の実施の形態】

以下、本発明の実施例の説明に先立ち、本発明者らの研究結果を説明する。STIのトレンチ幅は、様々である。狭い幅のトレンチも安定的に埋め込むためには、堆積とエッチング（スパッタリング）とが同時に進行する膜堆積方法を用いることが有効である。高密度プラズマCVDがこのような目的で用いられる。

### 【0017】

高密度プラズマとは平行平板プラズマよりもプラズマ密度の高いプラズマを指す。例えば、誘導結合で発生する高密度のプラズマである。本明細書等において、高密度プラズマCVDとは、成膜用のソースガスと共に、Ar, He, H<sub>2</sub>等の成膜作用に寄与せず、スパッタリング作用を示すガスを用い、高密度プラズマを発生させ、スパッタリングしながら成膜を行うCVDを指す。スパッタリングにより突起部が削られるので、ボイドの形成を防止しながら成膜を行うことができる。高密度プラズマを用いることにより成膜速度を確保する。

### 【0018】

図4 (A) に、高密度プラズマCVD装置の構成例を示す。ガラス等の電波を透過する材料で形成された容器Jの外側にコイルLが配置され、例えば400kHzの高周波電源LFに接続されている。容器Jの内部には、電極を兼ねるサセプタSCが配置され、その上に加工対象物であるウエハWを載置する。サセプタSCは、高周波バイアス電力印加用の例えば13.56MHzの高周波電源HF

に接続されている。

#### 【0019】

ガス導入口G1からCVD用ガスを導入し、ガス導入口G2からスパッタリング用ガスを導入する。なお、導入前に混合したガスを用いてもよい。RF電力によりプラズマを発生させ、HF電力によりさらにプラズマ中の荷電粒子をウエハWに向わせるバイアス場を発生させる。

#### 【0020】

図4 (B) は、高密度プラズマCVD装置と対比される平行平板型プラズマCVD装置の構成例を示す。容器Jの内部に、一方の電極であるサセプタSCと対向電極OEとが平行に対向配置されている。サセプタSC上にウエハWが載置される。例えば、対向電極OEおよびSCに、13.56MHzの高周波電源HFが接続される。電極SCには、異なる周波数の、例えば400kHzの高周波電源CFが接続されることも多い。

#### 【0021】

図4 (A) に示す高密度プラズマCVD装置においては、コイルLからの誘導により容器J内に高密度プラズマが発生する。図4 (B) の平行平板型プラズマCVD装置においては、容量結合した対向電極間にプラズマが発生される。誘導結合による方が、高密度プラズマを発生させるのに適している。又、堆積とスパッタリングとを同時に行なう高密度プラズマCVDを用いることにより、STIの埋め込みを良好に行なうことが可能である。

#### 【0022】

高集積化された半導体装置用のSTIを酸化シリコンライナ層、窒化シリコンライナ層、高密度プラズマCVDによる酸化シリコン層を用いて作成した。

図5に作成したSTIを有するサンプルの構成を示す。シリコン基板101の表面上に酸化シリコン層102を厚さ約10nm熱酸化により形成し、その上に窒化シリコン層103を厚さ約110nm減圧(LP)CVDにより形成する。窒化シリコン層103の上に、レジストパターンを形成し、窒化シリコン層103、酸化シリコン層102をエッティングしハードマスクを形成する。このハードマスクをエッティングマスクとし、シリコン基板100を表面から深さ約300nm

エッティングし、トレンチ105を形成する。

#### 【0023】

形成されたトレンチ105表面に露出したシリコン表面を熱酸化し、エッティングによるダメージ層を回復する厚さ約5nmの酸化シリコン層のライナ層107を形成する。酸化シリコン層107、塗化シリコン層103を覆って、LPCVDにより厚さ約10nmの塗化シリコン層のライナ層108を形成する。この上に高密度プラズマ（HDP）CVDにより厚さ約500nmの酸化シリコン層を堆積する。

#### 【0024】

ここで、図に示すように塗化シリコンライナ層108とHDP CVD酸化シリコン層110との間に剥がれが生じ、隙間Vが形成されてしまう。上述のプロセスによると、ほぼ全てのサンプルで剥がれが生じた。このような隙間は塗化シリコン層ライナ108とHDP CVD酸化シリコン層110との密着性が悪いことを示し、さらに剥がれが拡大する可能性を示唆する。剥がれを生じた隙間部分に、不純物等が入り込むと除去することが困難となろう。

#### 【0025】

本発明者等は、剥がれが生じないプロセスを見出すため種々の試みを行った。塗化シリコン層ライナは、シリコン及び酸化シリコンとは熱膨張率が大きく異なり、大きな応力を有する、疎水性表面を有する等注意すべき特性を多く持つ。塗化シリコン層ライナの厚さによって、どのような影響があるかを調べた。その結果、塗化シリコン層ライナを厚さ20nm以上とすると、剥がれが生じないことが分った。

#### 【0026】

図1（A）～図2（H）を参照して、本発明の第1の実施例による半導体装置の製造方法を説明する。

図1（A）に示すように、シリコン基板1の表面上に、厚さ9～21nm、例えば厚さ10nmの酸化シリコン層2を熱酸化により形成する。酸化シリコン層2の上に、厚さ100～150nm、例えば厚さ110nmの塗化シリコン層3を低圧（LP）化学気相堆積（CVD）により形成する。LPCVDは、例えば

ソースガスとして  $\text{SiCl}_2\text{H}_2$  と  $\text{NH}_3$  を用い、温度  $750^\circ\text{C} \sim 800^\circ\text{C}$  で行う。成膜する厚さが比較的厚いので、成膜温度を高めに設定し、成膜速度を上げている。

### 【0027】

塗化シリコン層3の上に、レジスト層を塗布し、露光現像することによりレジストパターン4を形成する。レジストパターン4は、活性領域（素子形成領域）上に形成され、開口部が素子分離領域を画定する。開口部5aの幅は、例えば0.1 ~ 1  $\mu\text{m}$  である。

### 【0028】

レジストパターン4をエッティングマスクとし、塗化シリコン層3、酸化シリコン層2をエッティングする。レジストマスク4は、ここで除去してもよい。エッチされた塗化シリコン層3をエッティングマスクとしてシリコン基板1を反応性イオングエッティング（RIE）により異方性エッティングする。シリコン基板1は、例えば深さ  $300\text{ nm}$  エッティングされてトレンチ6を形成する。なお、塗化シリコン層、酸化シリコン層のエッティングは、 $\text{CF}_4$ 、 $\text{CHF}_3$ 、 $\text{Ar}$  の混合ガスをエッティングガスとして行う。シリコン基板1のエッティングは、 $\text{HBr}$ 、 $\text{O}_2$  の混合ガス、又は  $\text{Cl}_2$ 、 $\text{O}_2$  の混合ガスをエッティングガスとして行う。

### 【0029】

図1 (B) に示すように、トレンチ6の表面に露出したシリコン基板表面を熱酸化して例えば厚さ  $3\text{ nm}$  の酸化シリコン層ライナ7を形成する。トレンチ6内に露出していたシリコン表面は、全て酸化シリコン層ライナ7により覆われる。

### 【0030】

図1 (C) に示すように、酸化シリコン層ライナ7、塗化シリコン層3の表面を覆うように、塗化シリコン層ライナ8をLPCVDにより形成する。塗化シリコン層ライナ8の厚さは、例えば  $20\text{ nm}$  とする。LPCVDは、 $\text{SiCl}_2\text{H}_2$ 、 $\text{NH}_3$  の混合ガスをソースガスとし、温度  $680$  度未満、例えば  $650^\circ\text{C}$  程度で行う。成膜する厚さが比較的薄いので成膜温度を比較的低温に設定し、成膜速度を下げている。厚さ  $20\text{ nm}$  以上の塗化シリコン層ライナは、その後のSTI埋め込み工程を経ても剥がれが極めて生じにくい厚さである。

### 【0031】

ソースガスとして、シラン（SiH<sub>4</sub>）とアンモニア（NH<sub>3</sub>）、テトラクロルシラン（SiCl<sub>4</sub>）とアンモニア、ビスターシャルアミノブチルシラン（BTBAS）とアンモニア等を用いてもよい。形成される窒化シリコン層ライナは、1.2 GPa以上の引張り（tensile）応力を有する層とする。この応力は、後述する緻密化の熱処理を行った埋め込み酸化シリコン層の応力と逆方向である。

### 【0032】

SiN層8のライナを形成した後、ラピッドサーマルアニール（RTA）等により、1000°C～1150°Cの熱処理を行ってもよい。例えば、N<sub>2</sub>雰囲気中で1000°C、30秒間の熱処理を行い、SiN層の引張り応力を20～30%増大することができる。

### 【0033】

図1 (D) に示すように、高密度プラズマ（HDP）CVD装置内で窒化シリコン層ライナ8を形成した基板に400°C～450°Cで1～5分のプレアニールを行い、引き続き同一室内でHDP CVDにより、酸化シリコン層9を形成し、トレンチ内を埋め込む。例えば、深さ300 nmのトレンチを形成した場合、埋め込み酸化シリコン層9の厚さは、平坦部で500 nm程度に選択する。

### 【0034】

酸化シリコン層の形成は、SiH<sub>4</sub>と酸素の混合ガス、又はTEOSとオゾンの混合ガスをソースガスとして行う。酸化シリコン層9の成長後、約1000°Cのアニールを行ない、酸化シリコン層9を緻密化する。アニールを経たトレンチ内の酸化シリコン層9の層質は熱酸化層とほぼ同じになる。緻密化された酸化シリコン層は、圧縮応力を生じるが、この圧縮応力と窒化シリコン層ライナの引張り応力は逆方向であり、圧縮応力は引張り応力により相殺される。圧縮応力による移動度の低下が低減される。

### 【0035】

図2 (E) に示すように、シリコン基板表面から化学機械研磨（CMP）を行い、窒化シリコン層3、8表面より上の酸化シリコン層9の不要部を除去する。

CMPは、回転する上下の定盤の間にシリコン基板を挟んで行う。上下の定盤の回転速度を例えればそれぞれ20 rpm、上下の常盤間の圧力を例えれば5 psi、バックプレッシャーを例えれば5 psiとし、研磨剤としてコロイダルシリカを主成分とするスラリ、又は酸化セリウム系スラリを用いる。

### 【0036】

このような研磨条件の場合、塗化シリコン層3のエッティングレートは小さく、塗化シリコン層3が研磨のストップとして機能する。研磨を終えた状態では、酸化シリコン層9と塗化シリコン層3がほぼ面一となり、酸化シリコン層9は塗化シリコン層3が画定する開口部内にのみ残る。なお、塗化シリコン層3上の酸化シリコン層9をCMPで除去する場合を説明したが、CF<sub>4</sub>とCHF<sub>3</sub>の混合ガスを用いたRIEを用いてもよい。

### 【0037】

図2(F)に示すように、塗化シリコン層3を熱リン酸によりエッティングする。塗化シリコン層3の側壁上の塗化シリコン層8も同時にエッティングされる。

その後、シリコン基板1表面上の酸化シリコン層2を希フッ酸により除去する。

### 【0038】

図2(G)に示すように、シリコン基板1の表面を熱酸化して犠牲酸化層22を成長する。

犠牲酸化層22をスルー酸化層として用い、シリコン基板1表面領域にイオン注入を行ない、イオン注入された不純物を活性化して所定導電型のウエル10を形成する。例えばn型ウエルとp型ウエルとをレジストマスクを用いた別個のイオン注入で形成する。ウエル10を形成した後、犠牲酸化層を希フッ酸により除去する。

### 【0039】

図2(H)に示すように、犠牲酸化層を除去し、露出したシリコン基板1表面を熱酸化することにより、例えは厚さ2nmのゲート絶縁層11を形成する。ゲート酸化層11の形成前には、熱酸化層を20nmエッティングする程度希フッ酸エッティングが行われる。ゲート酸化膜11の上に多結晶シリコン層12を形成す

る。

#### 【0040】

多結晶シリコン層12、ゲート酸化膜11をパターニングすることによりゲート電極を作成する。その後、ウエル10と逆導電型の不純物をイオン注入し、ゲート電極両側にソース／ドレイン領域を形成する。必要に応じ、ゲート電極側壁上にサイドウォールスペーサを形成し、さらに不純物をイオン注入し、活性化して高濃度ソース／ドレイン領域を形成する。

#### 【0041】

図3（A）は、素子分離領域9により画定された活性領域ARと、シリコン基板表面表面に形成されたゲート電極12の形状を示す平面図である。図1（A）～図2（H）は、B-B'線に沿う断面図に相当する。各活性領域ARは素子分離領域9により囲まれている。2つの活性領域によりCMOSインバータが構成される。

#### 【0042】

なお、この状態はサイドウォールスペーサが形成前である。この後、さらにウエル領域と逆導電型の不純物をイオン注入し、高濃度ソース／ドレイン領域を形成する。

#### 【0043】

図3（B）は、図3（A）のA-A'線に沿う断面図を示す。ゲート電極の側壁上にサイドウォールスペーサSWが形成され、ゲート電極両側にソース／ドレイン領域S／Dが形成されている。ゲート電極12、ソース／ドレイン流域S／Dの上にシリサイド層13が形成されている。

#### 【0044】

熱酸化による酸化シリコンライナ層7と、HDP CVD酸化シリコン埋込み層9との間に形成する塗化シリコンライナ層8の厚さを20nm以上としたことにより、剥れが防止され、埋込み特性の優れたSTIを得ることができる。

#### 【0045】

しかしながら、STIの幅が例えば0.1μmと狭い場合、厚さ20nm以上の塗化シリコンライナ層は、その後に残るトレンチの幅を狭くしすぎ、後のプロ

セスの障害となり得る。そのため、薄い塗化シリコンライナ層を用いても剥れを防止できる方法を求めた。

#### 【0046】

H D P C V Dを用いた酸化シリコン層の埋め込み工程において、塗化シリコンライナ層8表面は、高エネルギーのイオンの衝撃にさらされ、かつプラズマにより加熱される。このため、塗化シリコンライナ層8がダメージを受け、塗化シリコンライナ層から脱ガスが生じることが考えられる。このような現象を防止する手段として、酸化シリコン層の埋め込み工程初期においては、バイアスを低くすることが考えられる。バイアスを低くすることにより、入射する粒子のエネルギーが低下し、塗化シリコンライナ層に与える熱、衝撃が減少するであろう。

#### 【0047】

堆積初期において、H D P C V Dのバイアス電力をオフとし、無バイアスで酸化シリコン層を堆積することにより、剥れを効率的に低減できることが分った。特に、塗化シリコンライナ層を厚さ8nm以下とした時に剥れはほとんど発生しないようにすることができた。

#### 【0048】

以下、本発明の第2の実施例を説明する。

図1 (A)、(B)の工程は、第1の実施例と同様に行なう。

図1 (C)において、厚さ8nm以下の塗化シリコンライナ層8をL P C V Dにより形成する。例えば、厚さ約8nmの塗化シリコン層8をL P C V Dで堆積する。厚さ以外の点は第1の実施例と同様である。

#### 【0049】

図1 (D)に示す工程において、400°C～450°C、1～5分のプレヒートの後、2ステップで酸化シリコン層9を形成する。

先ず、サセプタ電極へのバイアス電力供給を0とし、無バイアスで酸化シリコン層9aを形成する。例えば、ソースガス流量はシラン約120sccm、酸素約160sccm、ヘリウム約500sccm、ソースR Fパワー3200W、バイアスH Fパワー約0Wである。このようにして、塗化シリコン層8の上に厚さ約2nmの酸化シリコンのライナ層9aを形成する。

### 【0050】

無バイアスのH D P C V D時のウエハ温度は400°Cであり、バイアス印加時のウエハ温度は650°Cであった。400°C～450°Cのプレヒートを行うと、脱ガスを予め行なわせてしまうと考えられる。その後、無バイアスH D P C V Dを行い、ウエハが400°Cに加熱されても、脱ガスが生じにくくなると考えられる。

### 【0051】

その後、バイアスHFパワーを約2000Wに増加し、残りの酸化シリコン層9bを堆積する。塗化シリコンライナ層8の上に酸化シリコンライナ層9aが形成されているので、高エネルギー粒子が衝撃しても、塗化シリコンライナ層に与える影響は小さい。その後、図2（E）～（H）に示す工程を第1の実施例と同様に行なう。

### 【0052】

第2の実施例の効果を確認するため、簡略化したテストを行なった。Si基板の上に、厚さ約8nmの塗化シリコン層を形成し、その上に厚さ約500nmの高密度プラズマ酸化シリコン層を形成した。第1のサンプルにおいては、高密度プラズマ酸化シリコン膜の形成において、先ず厚さ約2nmの酸化シリコン膜を無バイアスで形成し、その後厚さ約500nmの高密度プラズマ酸化シリコン層を高バイアス（2100W）で形成した。

### 【0053】

比較例としての第2のサンプルにおいては、無バイアスの高密度酸化シリコン層を形成することなく、塗化シリコン層の上に直接高バイアス（2100W）の高密度プラズマ酸化シリコン層を厚さ約500nm形成した。

### 【0054】

図6（A）に示すように、無バイアスの高密度プラズマ酸化シリコン層をライナとして設けた第1のサンプルにおいては、剥れは観察されていない。なお、塗化シリコン層の厚さを8nmより薄くしたサンプルにおいても同様の結果を得た。

### 【0055】

図6〈B〉に示すように、無バイアスの高密度プラズマ酸化シリコン層をライナとして敷くことなく、塗化シリコン層の上に直接高バイアスの高密度プラズマ酸化シリコン層のみを形成した第2のサンプルにおいては、多数の円状の膜剥れが生じた。

#### 【0056】

トレーナ埋め込みの酸化シリコン層堆積用HDP CVDを2ステップに分け、第1のステップにおいてバイアスパワーを低減することにより、厚さ8nm以下の塗化シリコン層を用いても、剥れを防止できることが判明した。

#### 【0057】

なお、8nm以下の厚さの塗化シリコン層を用いた場合、剥れをほとんど生じなくすることができたが、8nm以上の塗化シリコン層を用いたとしても、HDP CVDによる酸化シリコン層堆積を2ステップに分割することにより塗化シリコン層に与える影響を低減できることは明らかであろう。

#### 【0058】

HDP CVDによる酸化シリコン層堆積に先立ち、400°C～450°Cで1～5分のプレヒートを行なうと、剥れの防止に有効であった。塗化シリコン層からの脱ガス等に有効と考えられる。

#### 【0059】

無バイアスに代え、低バイアスのHDP CVDを行なうことも可能であろう。この場合も、後半の高バイアスHDP CVD時のバイアス電力と較べ、十分低いバイアス電力を用いることが好ましいであろう。

#### 【0060】

2段階のバイアス印加に代え、前半の低バイアスから徐々に、又は連続的にバイアス増加することも可能であろう。

又、初期の無バイアスHDP CVDに代え、図4(B)に示すような平行平板型プラズマCVDを用いることも可能であろう。

#### 【0061】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば種々の変更、改良、組合せが可能なことは当業者に自明であろ

う。

### 【0062】

以下、本発明の特徴を付記する。

- (付記1) (a) シリコン基板表面上に酸化シリコン層、塗化シリコン層を含む研磨用ストッパ層を形成する工程と、  
(b) マスクを用いて前記ストッパ層およびシリコン基板をエッチングし、トレンチを形成する工程と、  
(c) 前記トレンチ内に露出したシリコン基板表面に酸化シリコン層の第1ライナ絶縁層を形成する工程と、  
(d) 前記第1ライナ絶縁層上に厚さ20nm以上の中化シリコン層の第2ライナ絶縁層を形成する工程と、  
(e) 前記第2ライナ絶縁層の画定する凹部を埋め込んで、プラズマCVDを用いて酸化シリコン層の素子分離層を堆積する工程と、  
(f) 前記ストッパ層を研磨用ストッパとし、前記素子分離層の不要部を研磨して除去する工程と、  
(g) 前記ストッパ層をエッチングする工程と、  
を含む半導体装置の製造方法。

### 【0063】

(付記2) 前記工程(e)が、

- (e1) 前記第2ライナ絶縁層上に第1のバイアスのプラズマCVDにより酸化シリコン層の第3ライナ絶縁層を堆積する工程と、  
(e2) 前記第3ライナ絶縁層の画定する凹部を埋め込んで、前記第1のバイアスより高い第2のバイアスのプラズマCVDを用いて酸化シリコン層の素子分離層を堆積する工程と、  
を含む、付記1記載の半導体装置の製造方法。

### 【0064】

- (付記3) (a) シリコン基板表面上に酸化シリコン層、塗化シリコン層を含む研磨用ストッパ層を形成する工程と、  
(b) マスクを用いて前記ストッパ層およびシリコン基板をエッチングし、ト

レンチを形成する工程と、

(c) 前記トレンチ内に露出したシリコン基板表面に酸化シリコン層の第1ライナ絶縁層を形成する工程と、

(d) 前記第1ライナ絶縁層上に塗化シリコン層の第2ライナ絶縁層を形成する工程と、

(e 1) 前記第2ライナ絶縁層上に第1のバイアスのプラズマCVDにより酸化シリコン層の第3ライナ絶縁層を堆積する工程と、

(e 2) 前記第3ライナ絶縁層の画定する凹部を埋め込んで、前記第1のバイアスより高い第2のバイアスのプラズマCVDを用いて酸化シリコン層の素子分離層を堆積する工程と、

(f) 前記トップ層を研磨用トップとし、前記素子分離層の不要部を研磨して除去する工程と、

(g) 前記トップ層をエッチングする工程と、  
を含む半導体装置の製造方法。

#### 【0065】

(付記4) 前記工程 (e 1) が、無バイアスのプラズマCVDである付記2又は3記載の半導体装置の製造方法。

(付記5) 前記工程 (e 1) が、400°C～450°Cでプレヒートを行う工程と、引き続いて酸化シリコン層を形成する工程とを含む付記2～4のいずれか1項記載の半導体装置の製造方法。

#### 【0066】

(付記6) 前記工程 (e 1) が、平行平板型プラズマCVDで酸化シリコン層を形成する付記2または3記載の半導体装置の製造方法。

(付記7) 前記工程 (e 2) が、誘導結合プラズマCVD装置で行われる付記2～6のいずれか1項記載の半導体装置の製造方法。

#### 【0067】

(付記8) 前記工程 (d) の後、1000°C～1150°Cでアニールを行う工程を含む付記1～7のいずれか1項記載の半導体装置の製造方法。

(付記9) 前記第2ライナ層が、1.2 GPa以上の引っ張り応力を有す

る付記1～8のいずれか1項記載の半導体装置の製造方法。

### 【0068】

(付記10) 前記プラズマCVDが高密度プラズマCVDである付記1～4のいずれか1項記載の半導体装置の製造方法。

(付記11) 前記第2ライナ絶縁層が8nm以下の厚さを有する付記3記載の半導体装置の製造方法。

### 【0069】

#### 【発明の効果】

以上説明したように、本発明によれば、剥がれを生じることの少ない、STIを用いた半導体装置の製造方法が提供される。

#### 【図面の簡単な説明】

【図1】 本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【図2】 本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【図3】 図1、2に示す実施例により作成される半導体装置の平面図及び断面図である。

【図4】 プラズマCVD装置の構成例を示す断面図である。

【図5】 剥がれの生じたSTIの断面を示す概略断面図である。

【図6】 第2実施例の効果を確認するサンプルと比較サンプルの表面を示す顕微鏡写真である。

#### 【符号の説明】

- 1 半導体基板
- 2 酸化シリコン層
- 3 窒化シリコン層
- 4 レジストパターン
- 5 開口部
- 6 トレンチ
- 7 酸化シリコン層ライナ

8 窒化シリコン層ライナ

9 (H D P C V D) 酸化シリコン層

10 ウエル

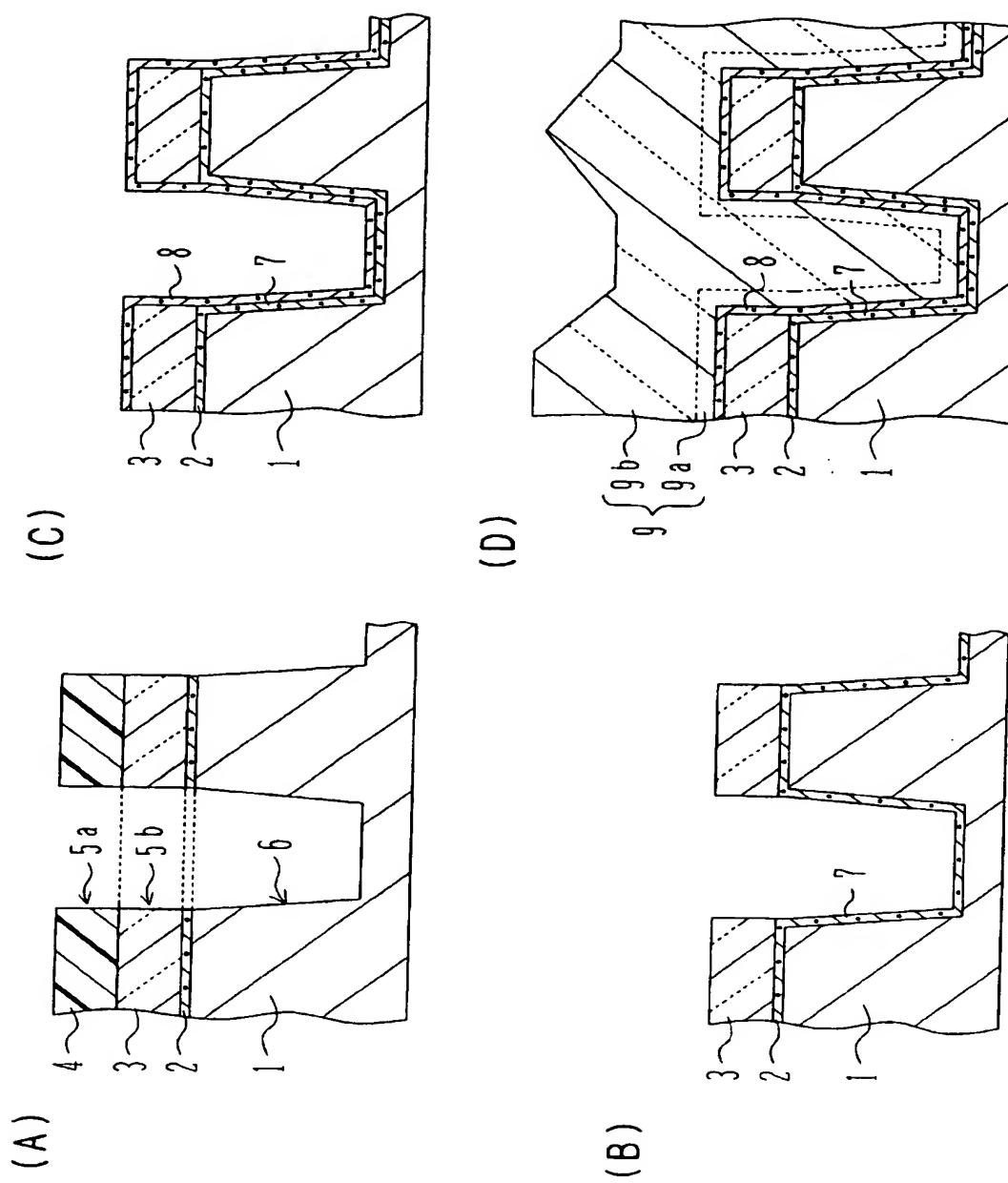
11 ゲート酸化層

12 多結晶シリコン層

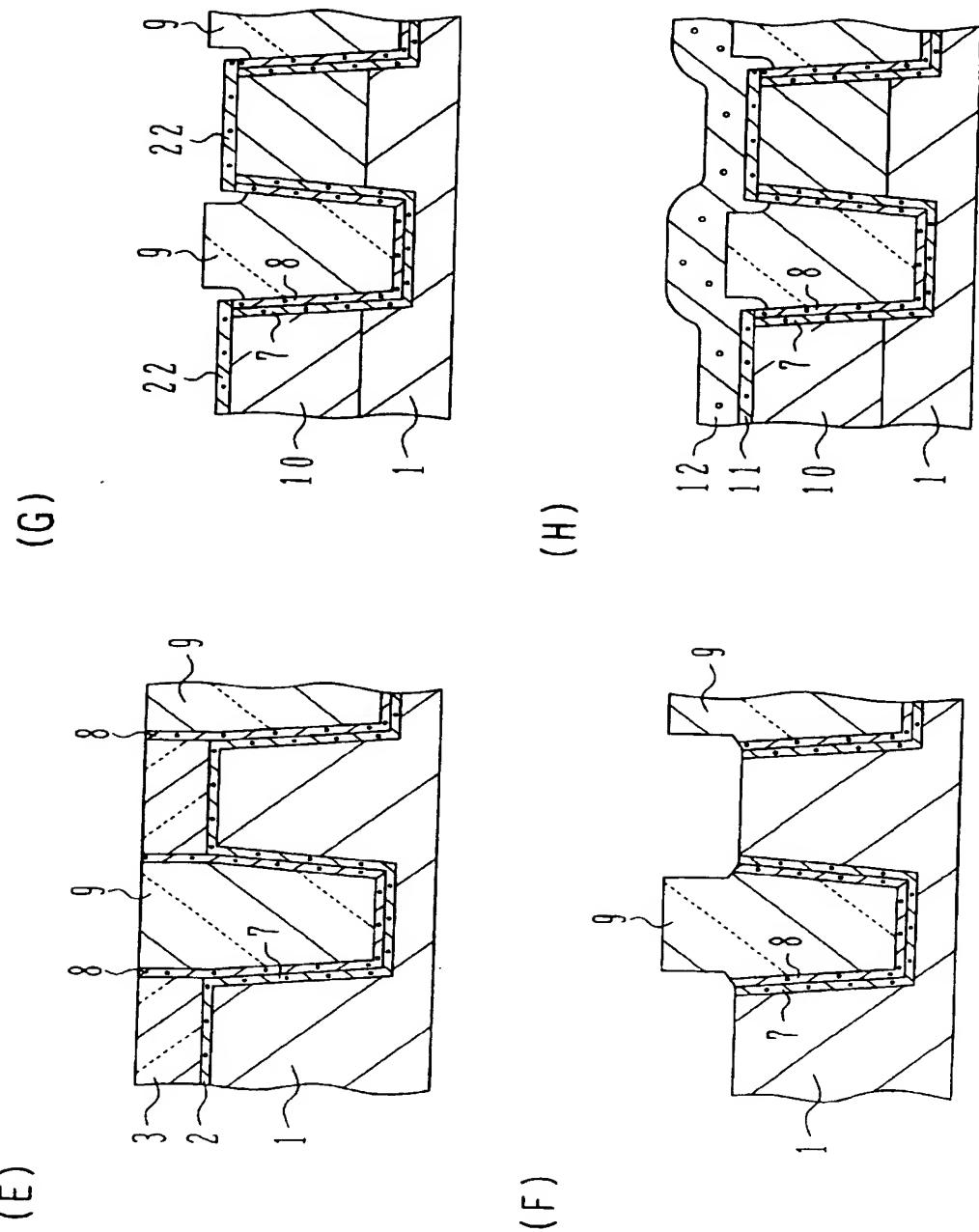
13 シリサイド層

【書類名】 図面

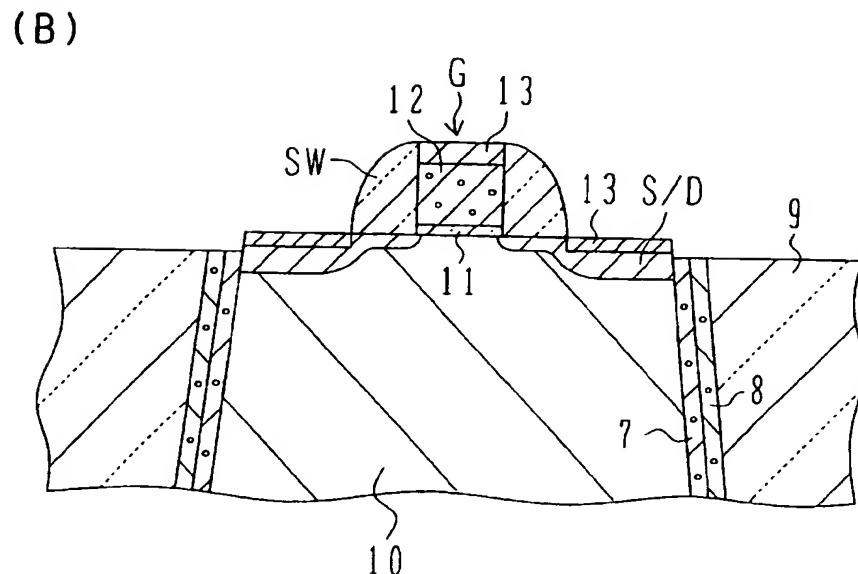
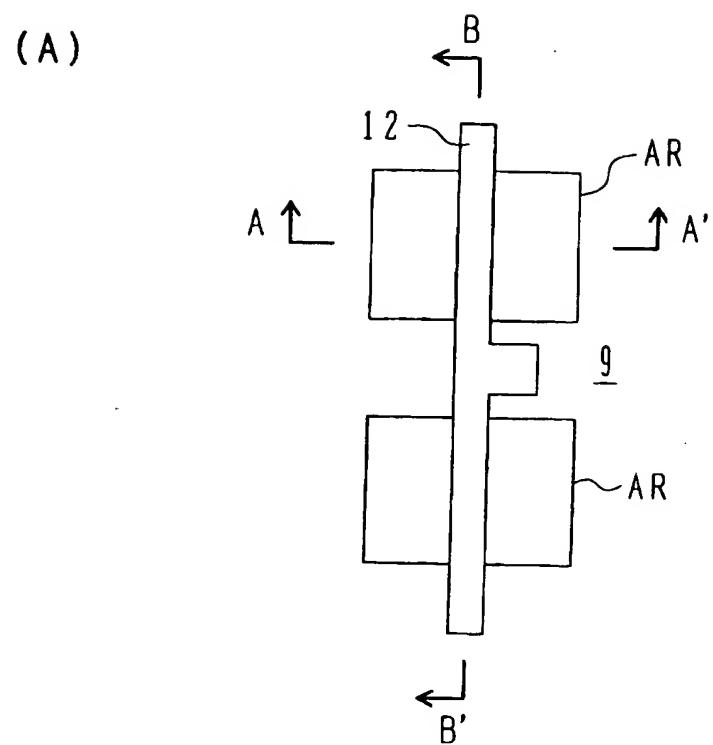
【図1】



【図2】

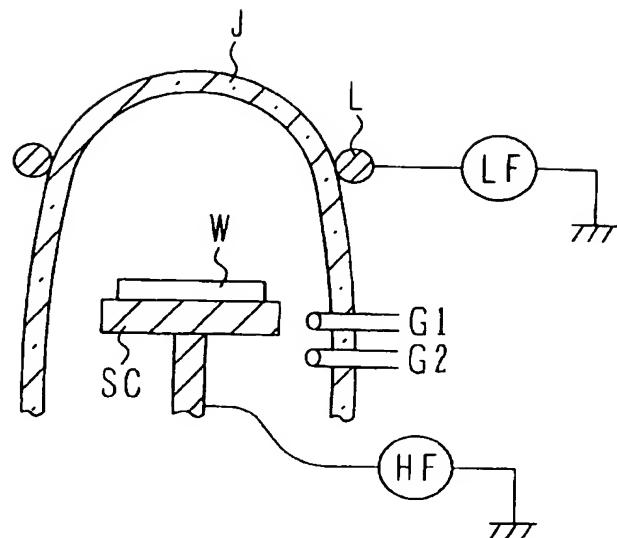


【図3】

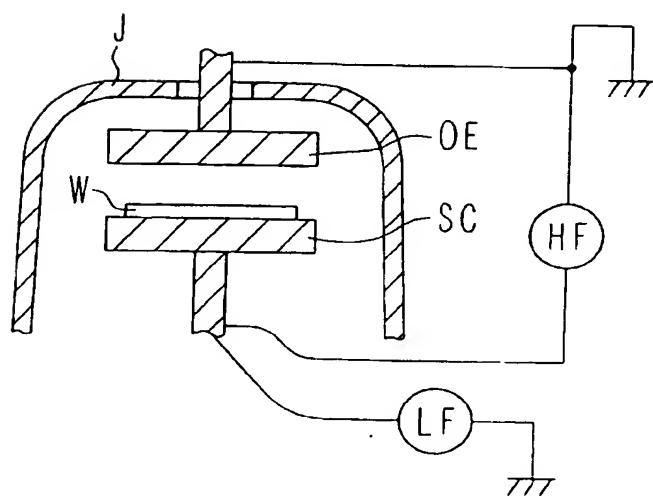


【図 4】

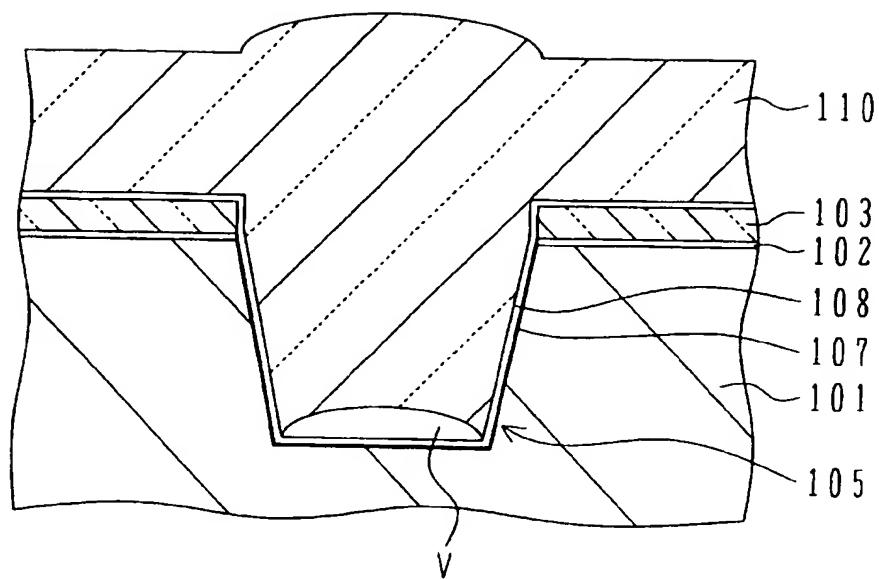
(A)



(B)

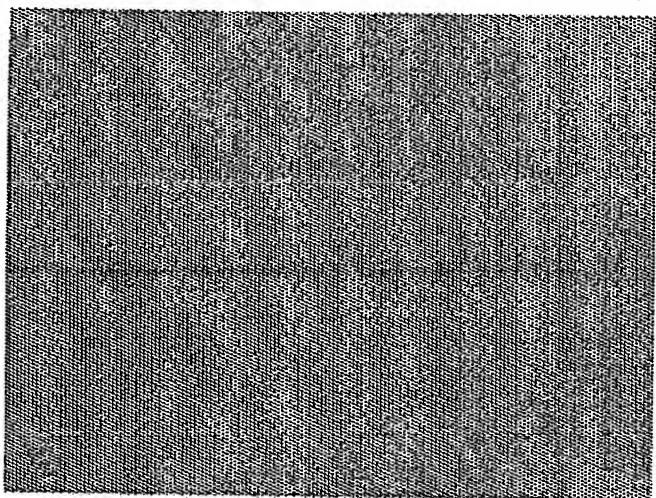


【図5】

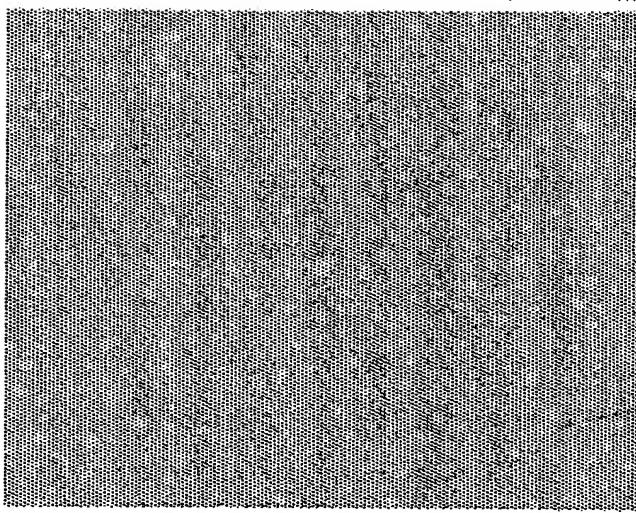


【図6】

(A)



(B)



【書類名】 要約書

【要約】

【課題】 埋め込み特性よく、剥がれを生じることの少ないS T Iを製造する。

【解決手段】 半導体装置の製造方法は、（a）シリコン基板表面上に研磨用ストップ層を形成する工程と、（b）マスクを用いてシリコン基板をエッチングし、トレンチを形成する工程と、（c）トレンチ内に露出したシリコン基板表面に酸化シリコン層の第1ライナ絶縁層を形成する工程と、（d）第1ライナ絶縁層上に厚さ8nm以下の窒化シリコン層の第2ライナ絶縁層を形成する工程と、（e1）第2ライナ絶縁層上に第1のバイアスのプラズマCVDにより酸化シリコン層の第3ライナ絶縁層を堆積する工程と、（e2）第3ライナ絶縁層の画定する凹部を埋め込んで、第1のバイアスより高い第2のバイアスの高密度プラズマCVDを用いて酸化シリコン層の素子分離層を堆積する工程と、を含む。

【選択図】 図1

特願2002-348641

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1990年 8月24日  
[変更理由] 新規登録  
住 所 神奈川県川崎市中原区上小田中1015番地  
氏 名 富士通株式会社
2. 変更年月日 1996年 3月26日  
[変更理由] 住所変更  
住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社